

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

01762769 \*\*Image available\*\*

MANUFACTURE OF THIN FILM TRANSISTOR

PUB. NO.: 60-241269 [JP 60241269 A]

PUBLISHED: November 30, 1985 (19851130)

INVENTOR(s): IWANO HIDEAKI

APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation)

, JP (Japan)

APPL. NO.: 59-097892 [JP 8497892]

FILED: May 16, 1984 (19840516)

INTL CLASS: [4] H01L-029/78; H01L-021/28; H01L-027/12; H01L-029/62

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R004 (PLASMA); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 396, Vol. 10, No. 99, Pg. 120, April 16, 1986 (19860416)

**ABSTRACT**

PURPOSE: To manufacture the titled device of high mutual conductance and excellent stability by a method wherein an Si thin film and an insulation thin film are deposited on a substrate and then kept in a plasma atmosphere.

CONSTITUTION: After a polycrystalline Si thin film 2 is deposited on the insulation substrate 1, a gate insulation film 3 is deposited on this thin film. Thereafter, this is placed in a high frequency plasma generator, and a plasma made of nitrogen ions is generated. As a result, nitrogen ions penetrate into the SiO<sub>2</sub> of the gate insulation film 3; therefore, the SiO<sub>2</sub> is turned nitrided while defects are filled. A gate 4 is formed after the plasma nitriding of the SiO<sub>2</sub> film is thus finished, a source region 6 and a drain region 7 are formed by using this gate as a mask.

DIALOG(R)File 352:DERWENT WPI  
(c) 2000 Derwent Info Ltd. All rts. reserv.  
004514393

WPI Acc No: 1986-017737/198603

**Thin film transistor mfr. - includes depositing silicon thin film on  
insulator, covering with insulation, holding substrate in plasma atmos.**

NoAbstract Dwg 2/2

Patent Assignee: SUWA SEIKOSHA KK (SUWA )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
<u>JP 60241269</u>	A	19851130	JP 8497892	A	19840516	198603 B

Priority Applications (No Type Date): JP 8497892 A 19840516

Title Terms: THIN; FILM; TRANSISTOR; MANUFACTURE; DEPOSIT; SILICON; THIN;  
FILM; INSULATE; COVER; INSULATE; HOLD; SUBSTRATE; PLASMA;  
ATMOSPHERE; NOABSTRACT

Derwent Class: L03; U11; U12; U14

International Patent Class (Additional): H01L-021/28; H01L-027/12; H01L-029/78

File Segment: CPI; EPI

## ⑪ 公開特許公報 (A)

昭60-241269

⑫ Int.Cl. 4

H 01 L 29/78  
21/28  
27/12  
29/62

識別記号

厅内整理番号

8422-5F  
7638-5F  
7514-5F  
7638-5F

⑬ 公開 昭和60年(1985)11月30日

⑭ 発明の名称 薄膜トランジスタの製造方法

⑮ 特願 昭59-97892

⑯ 出願 昭59(1984)5月16日

⑰ 発明者 岩野英明 諏訪市大和3丁目3番5号 株式会社諏訪精工舎内  
⑯ 出願人 株式会社諏訪精工舎 東京都新宿区西新宿2丁目4番1号  
⑯ 代理人 弁理士 最上務

## 明細書

## 1. 発明の名称 薄膜トランジスタの製造方法

## 2. 特許請求の範囲

(1) 裸線性基板上にシリコン薄膜を堆積する工程と該シリコン薄膜上に絶縁性薄膜を堆積した後、前記基板をプラズマ界歎気中に保持する工程とを備えたことを特徴とする薄膜トランジスタの製造方法。

因、前記シリコン薄膜上の絶縁性薄膜は、薄膜 $100\text{~}1000\text{ \AA}$ の二酸化シリコンであることと存続する特許請求の範囲は、前記の薄膜トランジスタの製造方法。

(2) 前記プラズマ界歎気が最高及び水素を含むプラズマ界歎気であることを存続する特許請求の範囲は、前記の薄膜トランジスタの製造方法。

## 2. 発明の詳細な説明

本発明は薄膜トランジスタ(以下TFDと称す

る)に與し、特に低圧プロセスにおいて相互コンタクタスが大きく且つ安定性の優れたTFDの製造方法に関するものである。

TFDは大面積にわたってスイッチングアレイを形成し易くそのためイメージセンサあるいはディスプレイ電子用のスイッチングアレイを目的に研究が進められている。このような目的に用いられるTFDは、高いオン・オフ比を有し且つ出来る限り低い動作電圧で駆動させるために、高い相互コンタクタス $\tau_m$  ( $= \frac{d_{10}}{d_{VC}}$ ) を有する必要がある。ドレイン電圧が飽和している領域では $\tau_m$ は

$$\tau_m = \frac{W \cdot \mu \cdot C_l}{L} (V_G - V_T)$$

と表わされる。ここで $W$ はチャンネル幅、 $L$ はチャンネル長、 $\mu$ はチャンネル部のキャリアの移動度、 $C_l$ はゲート絶縁膜の容量、 $V_G$ はゲート印加電圧、 $V_T$ は閾値電圧を示している。 $\tau_m$ を高くするためにはいろいろ方法があるが、ゲート絶縁膜の容量を大きくすることも一つの有効な方法である。従来、ゲート絶縁膜には二酸化シリコン

( $\text{SiO}_2$ ) が最も多く用いられるが、大面積トランジスタアレイを作成するには安価なガラス基板を用いる必要があるため、CVD(化学的気相析出)法等により低温で  $\text{SiO}_2$  薄膜を形成する必要があつた。而乍らこのように形成した  $\text{SiO}_2$  膜中には欠陥密度が多く、絶縁耐圧が低いため、ゲート絶縁膜の容積を上げるために、 $\text{SiO}_2$  膜の膜厚を薄くすることは限界がある。またゲート絶縁膜の誘電率を上げる方法もあり、強化セラミック( $\text{Si}_3\text{N}_4$ )膜等の誘電率の比較的大きな材料を用いると導電に対する安定性なども優れているが、半導体膜との間に界面準位を形成しあく TFT の安定性に問題がある。また低温で形成する  $\text{SiO}_2$  膜には内部に高い欠陥密度を有し、これがキャリアのトラップとして働き、TFT の閾値電圧やドレイン電流等の動作特性の安定性に問題があつた。

本発明はかかる状況を踏みて成されたもので、従来に比較して欠陥密度が低いゲート絶縁膜を提供しその結果として、高い相互コンダクタンスを有し且つ安定性の優れた薄膜トランジスタの製造

方法を提供するものである。

以下図面に基づき本発明について具体的に説明する。第1図(a)～(e)に本発明に沿づく薄膜トランジスタの製造工程を示す。第1図(d)は絶縁性基板として遮断性ガラス(1)を示している。基板としては軟化点の低い並ガラスを使用してもトランジスタの製造は可能である。第1図(b)はCVD法により基板上に多結晶シリコン薄膜の堆積した状態を示す。多結晶シリコン薄膜(2)は1000～5000 Åの膜厚で、形成する。第1図(c)は前記多結晶シリコン薄膜上に絶縁CVD法によりゲート絶縁膜を堆積した状態を示す。ゲート絶縁膜の厚さは100～1000 Åにする。このあと上記基板を平行平板型の高周波プラズマ発生装置内に投入する。第2図は該高周波プラズマ発生装置の構造を示す。

(10)の真空槽内に蓄液ホルダー(11)に前記基板を設置し、排気バルブ(18)を開放して真空に排気する。しかる後ガス導入バルブ(15)を開放して、アンモニア( $\text{NH}_3$ )ガスあるいは水素( $\text{H}_2$ )ガスをキャリアガスとする窒素( $\text{N}_2$ )ガスを真空槽内に導入

する。所定の内圧にした後電極(12)に高周波電圧を印加し、前記導入ガスを分離しプラズマ状態を電極間に誘起する。この場合基板は加熱ヒータ(13)により加熱しておく。こうして発生した電子イオンは前記ゲート絶縁膜の  $\text{SiO}_2$  中に進入し  $\text{SiO}_2$  膜は欠陥を埋めながら次第に還元化されていく。本発明における前記プラズマ還元の条件は、 $\text{NH}_3$  ガスの内圧を1.0Torrとし、高周波(周波数1.556MHz)電力を20Wとし、各段温度は550℃の底値で60分間の還元を行なつた。こうして  $\text{SiO}_2$  膜のプラズマ還元が終了した後、第1図(d)に示すようにアルミニウムゲート(4)を形成し、該アルミニウムゲート(4)をマスクにしてリン酸を注入(5)するセルフアライメント方式でソース電極(6)、ドレイン電極(7)を形成した。第2図(e)はソース、ドレイン領域へのアルミニウムコンタクトの形成状態を示す。

層間絕縁膜の  $\text{SiO}_2$  (9)を堆積した後コンタクトホールを形成し、所定の寸法のソース、ドレイン電極配線を形成する。本発明によるNチャンネル

ル型多結晶シリコンTFTのゲート絶縁膜の耐圧は  $\text{SiO}_2$  膜中の欠陥を消滅イオンが補償したことにより従来に比較して2倍以上増加し、その結果ゲート絶縁膜の導通を薄くしても問題が生じず、従来のプラズマ還元をしない電子に比べて相互コンダクタンスは10倍程度改善された。またドレイン電圧あるいは端端電圧の絶対値変化も本発明による電子ではほとんどみられず、安定なTFTの製造が可能であつた。

本発明によれば高い相互コンダクタンスを有し且つ信頼性の高い導通トランジスタを低温プロセスで製造でき、大面積平面ディスプレイのスイッチング素子を提供することができる。

#### 4. 図面の簡単な説明

第1図(a)～(e)は本発明によるTFTの製造工程の断面図を示す。

第2図は本発明によるプラズマ還元装置の構成図である。

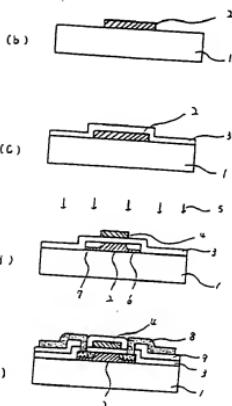
1～遮断性ガラス 2～半導体層 3～ゲート地

電源 4 - ゲート電源 6, 7 - ソース、ドレイ  
 ン部 8 - ソース、ドレイイン電源 9 - 高周波接  
 着 10 - 水槽槽 11 - 槽板ホルダ 12 - 高  
 周波電源 13 - 基板加熱ヒータ 14 - 高周波  
 電源 15 - ガス導入弁 16 - マスフローコン  
 トローラ 17 - ガスボンベ。

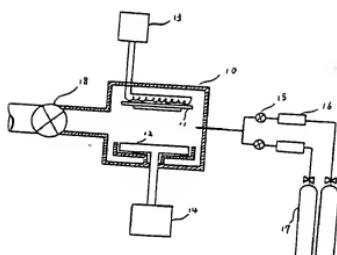
特開昭60-241269(3)

出願人 株式会社 活動精工房  
 代表人 井澤士 坡 上 勝

以上



第 1 図



第 2 図